

**PATENT APPLICATION**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re the Application of

Yasahiro YOSHIKAWA

Group Art Unit: 2828

Application No.: 10/629,777

Filed: July 30, 2003

Docket No.: 116722

For: METHOD OF FORMING CONDUCTIVE PATTERN SUCH AS ELECTRODE,  
SURFACE EMITTING SEMICONDUCTOR LASER USING THE METHOD AND  
MANUFACTURING METHOD FOR THE SAME

**CLAIM FOR PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2002-363484 filed on December 16, 2002

In support of this claim, a certified copy of said original foreign application:

☒ is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James A. Oliff  
Registration No. 27,075

Thomas J. Pardini  
Registration No. 30,411

JAO:TJP/mlo

Date: December 8, 2003

**OLIFF & BERRIDGE, PLC**  
**P.O. Box 19928**  
**Alexandria, Virginia 22320**  
**Telephone: (703) 836-6400**

**DEPOSIT ACCOUNT USE  
AUTHORIZATION**  
Please grant any extension  
necessary for entry;  
Charge any fee due to our  
Deposit Account No. 15-0461

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2002年12月16日

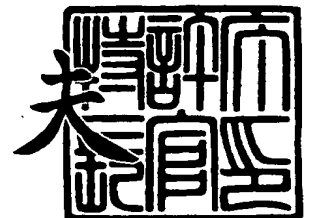
出願番号  
Application Number: 特願2002-363484  
[ST. 10/C]: [JP2002-363484]

出願人  
Applicant(s): 富士ゼロックス株式会社

2003年11月11日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



出証番号 出証特2003-3093029

【書類名】 特許願

【整理番号】 FE02-01938

【提出日】 平成14年12月16日

【あて先】 特許庁長官 殿

【国際特許分類】 H01S 05/183

【発明者】

    【住所又は居所】 神奈川県海老名市本郷 2 2 7 4 番地 富士ゼロックス株式会社海老名事業所内

    【氏名】 吉川 昌宏

【特許出願人】

    【識別番号】 000005496

    【氏名又は名称】 富士ゼロックス株式会社

【代理人】

    【識別番号】 100098497

    【弁理士】

    【氏名又は名称】 片寄 恭三

    【電話番号】 047-307-6020

【代理人】

    【識別番号】 100087480

    【弁理士】

    【氏名又は名称】 片山 修平

    【電話番号】 043-351-2361

【手数料の表示】

    【予納台帳番号】 154657

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【包括委任状番号】 0205300

【包括委任状番号】 0205289

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電極等の導電パターンの形成方法およびこれを用いた面発光型半導体レーザ並びにその製造方法

【特許請求の範囲】

【請求項 1】 化合物半導体層上に電極等の導電パターンを形成する方法であって、

前記化合物半導体層上に第 1 の有機物層を形成し、

前記第 1 の有機物層上にプラズマアッシングに耐性のある第 2 の層を形成し、

前記第 2 の層に第 1 の開口を含むパターンを形成し、

前記第 1 の開口を含むパターンをマスクにして前記第 1 の有機物層をプラズマアッシングすることにより前記第 1 の有機物層に第 2 の開口を形成し、該第 2 の開口から前記化合物半導体層を露出させ、

前記第 2 の層上および前記第 2 の開口により露出された化合物半導体層を含む領域上に導電性膜を被着し、

リフトオフ処理により前記化合物半導体層上に導電パターンを形成する、工程を含む導電パターンの形成方法。

【請求項 2】 前記プラズマアッシングは酸素ラジカルを含む、請求項 1 に記載の導電パターンの形成方法。

【請求項 3】 前記第 1 の有機物層はフォトレジスト層を含む、請求項 1 または 2 に記載の導電パターンの形成方法。

【請求項 4】 前記形成方法はさらに、前記第 1 の有機物層を所定温度にてベーキングする工程を含む、請求項 3 に記載の導電パターンの形成方法。

【請求項 5】 前記第 2 の層は、酸素ラジカルに耐性のあるシリコン含有レジストを含む、請求項 1 に記載の導電パターンの形成方法。

【請求項 6】 前記第 2 の層は、無機膜を含む、請求項 1 に記載の導電パターンの形成方法。

【請求項 7】 前記第 1 の有機物層の第 2 の開口は、前記第 2 の層の第 1 の開口に対してアンダーカットされた形状にプラズマアッシング加工される、請求項 1 ないし 6 いずれかに記載の導電パターンの形成方法。

【請求項 8】 前記化合物半導体層は、化合物半導体基板を含む、請求項 1 ないし 7 いずれかに記載の導電パターンの形成方法。

【請求項 9】 前記化合物半導体層は、GaAs を含む、請求項 1 ないし 8 いずれかに記載の導電パターンの形成方法。

【請求項 10】 化合物半導体層上に導電パターンを形成する方法であって、  
前記化合物半導体層上に第 1 の有機物層を形成し、  
前記第 1 の有機物層上に無機物層を形成し、  
前記無機物層上に第 2 の有機物層を形成し、  
前記第 2 の有機物層に第 1 の開口を含む第 1 のパターンを形成し、  
前記第 1 の開口を含む第 1 のパターンをマスクに前記無機物層をエッチングして第 2 の開口を含む第 2 のパターンを形成し、  
前記第 2 の開口を含む第 2 のパターンをマスクにして前記第 1 の有機物層をプラズマアッシングすることにより前記第 1 の有機物層に第 3 の開口を形成し、該第 3 の開口から前記化合物半導体層を露出させ、  
前記第 2 の有機物層上および前記第 3 の開口により露出された化合物半導体層を含む領域上に導電性膜を被着し、  
リフトオフ処理により前記化合物半導体層上に導電パターンを形成する、工程を含む導電パターンの形成方法。

【請求項 11】 前記第 1、第 2 の有機物層はフォトレジストを含む、請求項 10 に記載の導電パターンの形成方法。

【請求項 12】 前記無機物層は、インジウムティンオキサイド膜（ITO）または SiO 膜を含む、請求項 10 に記載の導電パターンの形成方法。

【請求項 13】 前記プラズマアッシングは、酸素ラジカルを含む、請求項 10 ないし 12 いずれかに記載の導電パターンの形成方法。

【請求項 14】 前記第 1 の有機物層の第 3 の開口は、前記無機物層の第 2 の開口に対してアンダーカットされた形状に加工される、請求項 10 ないし 13 いずれかに記載の導電パターンの形成方法。

【請求項 15】 基板上に、第 1 導電型の第 1 の半導体ミラー層、前記第 1

の半導体ミラー層上の電流狭窄層、前記第 1 の半導体ミラー層上の活性領域、前記活性領域上の第 2 導電型の第 2 の半導体ミラー層、前記第 2 の半導体ミラー層上の化合物半導体層を含むコンタクト層を含む面発光型半導体レーザであって、

前記コンタクト層上に形成される導電パターンは、請求項 1 ないし 1 4 いずれかに記載の導電パターンの形成方法により形成される、面発光型半導体レーザの製造方法。

【請求項 1 6】 前記面発光型半導体レーザは、少なくとも前記コンタクト層から前記電流狭窄層に至るまでメサ構造を形成し、前記電流狭窄層は前記メサ構造の側面から一部の領域を選択酸化される、請求項 1 5 に記載の面発光型半導体レーザの製造方法。

【請求項 1 7】 前記導電パターンは、前記コンタクト層にオーミック接続される電極である、請求項 1 5 または 1 6 に記載の面発光型半導体レーザの製造方法。

【請求項 1 8】 前記導電パターンは、環状にパターン形成され、その内径がレーザの出射窓を規定する、請求項 1 5 ないし 1 7 いずれかに記載の面発光型半導体レーザの製造方法。

【請求項 1 9】 基板と、該基板上に形成された第 1 導電型の半導体層を含む第 1 のミラーと、前記基板上に形成された第 2 導電型の半導体層を含む第 2 のミラーと、前記第 1、第 2 のミラーの間に配された活性領域と、前記第 1、第 2 のミラーの間に配された電流狭窄部と、前記第 2 のミラー上に形成された化合物半導体層と、前記化合物半導体層上に形成された電極とを含み、

前記電極が請求項 1 ないし 1 4 いずれかに記載の導電パターンの形成方法によって形成される、面発光型半導体レーザ。

【請求項 2 0】 基板と、該基板上に形成された第 1 導電型の半導体層を含む第 1 のミラーと、前記基板上に形成された第 2 導電型の半導体層を含む第 2 のミラーと、前記第 1、第 2 のミラーの間に配された活性領域と、前記第 1、第 2 のミラーの間に配された電流狭窄部と、前記第 2 のミラー上に形成された化合物半導体層と、前記化合物半導体層上に形成された電極とを含み、

前記電極の少なくとも周縁部の化合物半導体層の表面の粗さが 5 n m 以下であ

る、面発光型半導体レーザ。

【請求項 2 1】 前記化合物半導体層は、第 2 導電型の G a A s 層を含む、請求項 1 9 または 2 0 に記載の面発光型半導体レーザ。

【請求項 2 2】 前記化合物半導体層の表面の粗さは、5 n m 以下である、請求項 1 9 ないし 2 1 いずれかに記載の面発光型半導体レーザ。

【請求項 2 3】 前記電極は、前記コンタクト層上に環状にパターン形成され、環状パターンの内径がレーザ光の出射窓を規定する、請求項 1 9 ないし 2 2 いずれかに記載の面発光型半導体レーザ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、化合物半導体層上に電極等の導電パターンを形成する方法に関し、特に、リフトオフ法によって微細な電極パターンを形成する方法に関する。

【0 0 0 2】

【従来の技術】

光通信や光記録等の技術分野において、光源の二次元アレイ化が容易な面発光型半導体レーザ（垂直共振器型表面発光レーザ：Vertical-Cavity Surface-Emitting Laser diode）への需要が増加している。面発光半導体レーザ素子は、G a A s、A l G a A s 等の化合物半導体層を用いて形成され、その製造過程において、所望の形状寸法を持つ電極や配線を形成するためにリフトオフが用いられる。

【0 0 0 3】

例えば、特許文献 1 では、図 1 0 に示すように下層レジスト層 1 3 上に表面レジスト層 1 5 を形成し、これら 2 層のレジスト層のパターン形成をした後、表面レジスト層 1 5 を不溶化させ、下層レジスト層 1 3 を溶解させて表面レジスト層 1 5 n に対してアンダーカットを形成し、その後に導電性膜 2 0 を形成しリフトオフ処理を行う技術を開示している。このようなアンダーカットを形成することで、リフトオフ要する時間を短縮し、導電性膜 2 0 の外周にバリの発生を抑制するものである。



## 【0004】

## 【特許文献1】

特開平10-154707号

## 【0005】

## 【発明が解決しようとする課題】

しかしながら、上記特許文献1に示すようなリフトオフによるパターン形成には次のような課題がある。面発光型半導体レーザ素子のように化合物半導体層上に電極や金属配線のパターンを形成する場合に、下層レジストへのアンダーカットの形成に際してアルカリ現像液が用いられると、アルカリ現像液が露出された化合物半導体層に接触し、その表面をエッチングしてしまう。GaAsなどの化合物半導体層では、その表面が化学的に弱いため、エッチングが顕著に行われてしまい、エッチングによる表面ダメージがデバイスの寿命を劣化させたり、性能に悪影響を及ぼしてしまう。さらに、面発光型体レーザでは、GaAs等のコンタクト層上にp側電極を形成し、これによりレーザ出射窓を規定するが、コンタクト層の表面部分がエッチングされてしまうと、レーザ光の光学的な特性にも悪影響を及ぼしてしまう。

## 【0006】

本発明は、上記従来の課題を解決し、化合物半導体層の表面の損傷をできるだけ抑制して電極や配線等の導電パターン形成することが可能な方法を提供することを目的とする。

さらに本発明は、化合物半導体層上に電極や配線等の導電パターンを精度よくリフトオフにより形成することが導電パターンの形成方法を提供することを目的とする。

さらに本発明は、これらの導電パターンの形成方法を用いた面発光型半導体レーザの製造及びその製造方法を提供することを目的とする。

さらに本発明は、レーザ光の光学的特性への悪影響を抑制し、素子寿命を改善する面発光型半導体レーザおよびその製造方法を提供することを目的とする。

## 【0007】

## 【課題を解決するための手段】

請求項 1 に記載の化合物半導体層上に導電パターンを形成する方法は、以下のステップを有する。化合物半導体層上に第 1 の有機物層を形成するステップと、前記第 1 の有機物層上にプラズマアッシングに耐性のある第 2 の層を形成するステップと、前記第 2 の層に第 1 の開口を含むパターンを形成するステップと、前記第 1 の開口を含むパターンをマスクにして前記第 1 の有機物層をプラズマアッシングすることにより前記第 1 の有機物層に第 2 の開口を形成し、該第 2 の開口から前記化合物半導体層を露出させるステップと、前記第 2 の層上および前記第 2 の開口により露出された化合物半導体層上に導電性膜を被着するステップと、リフトオフ処理により化合物半導体層上に導電パターンを形成するステップとを有する。これにより、化合物半導体層の表面がアルカリ現像液等の溶液に接触されることがなくなるため、その表面のエッチングが抑制され、エッチングによる表面ダメージを防止することができる。

#### 【0008】

請求項 10 に記載の化合物半導体層上に導電パターンを形成する方法は、以下のステップを有する。前記化合物半導体層上に第 1 の有機物層を形成するステップと、前記第 1 の有機物層上に無機物層を形成するステップと、前記無機物層上に第 2 の有機物層を形成するステップと、前記第 2 の有機物層に第 1 の開口を含む第 1 のパターンを形成するステップと、前記第 1 のパターンをマスクに前記無機物層をエッチングして第 2 の開口を含む第 2 のパターンを形成するステップと、前記第 2 の開口を含む第 2 のパターンをマスクにして前記第 1 の有機物層をプラズマアッシングすることにより前記第 1 の有機物層に第 3 の開口を形成し、該第 3 の開口から前記化合物半導体層を露出させるステップと、前記第 2 の有機物層上および第 3 の開口により露出された化合物半導体層を含む領域上に導電性膜を被着するステップと、リフトオフ処理により前記化合物半導体層上に導電パターンを形成するステップとを含む。これにより、化合物半導体層表面がエッチングによるダメージから極力防止することができ、そのような表面上に所望の電極や配線等のパターンを得ることができる。

#### 【0009】

好ましい第 1 の方法は、GaAs 基板（または GaAs 層）上にレジストを塗

布し、下層の有機物層として下層レジスト層を形成する。その後、ベーク処理等を施すことにより現像液に不溶な下層レジスト層を形成する。続いて、酸素プラズマに耐性のあるレジストを形成し、上層レジスト層とする。上層レジスト層をリソグラフィ技術によって所望のマスクパターンにより上層レジスト層のパターニングを行う。続いて、酸素プラズマエッチング装置を用いて、上層レジスト層のパターンをマスクに利用して露出された下層レジスト層を酸素プラズマでアッシング処理し、パターンニングする。適当な時間の酸素プラズマアッシング処理を施すことによって、上層レジスト層に形成されたパターンと同様なパターンが下層レジスト層に形成される。その後、金属等の導電性膜を全面に被着させる。最後に、下層レジスト層のリフトオフ処理を行うことによって、基板表面に電極や金属配線等を形成する。

#### 【0010】

好ましい第2の方法は、GaAs基板（またはGaAs層）上にレジストを塗布し、下層の有機物層として下層レジスト層を形成する。その後、ベーク処理などによって下層レジスト層を固化させる。続いて、酸素プラズマに耐性のある無機膜を全面に形成する。更に、その上にレジストを塗布し、上層レジスト層を形成する。上層レジスト層をリソグラフィ技術により所望のマスクパターンを用いてパターンニングする。続いて、エッチャントを用いて、上層レジスト層のパターンをマスクに利用して無機膜をパターンニングする。パターンニングされた無機膜をマスクとして下層レジスト層を酸素プラズマでアッシング処理する。適当な時間の酸素プラズマアッシング処理を施すことによって、上層レジスト層に形成されたパターンと同じパターン若しくはそれよりもアンダーカットされたパターンが下層レジスト層に形成される。その後、金属等の導電性膜を全面に被着させる。最後に、下層レジスト層をリフトオフ処理することによって、基板表面に金属電極や金属配線を形成する。

#### 【0011】

本発明のプロセスを用いてGaAs等の化合物半導体層（基板を含む）の表面に金属や配線等の導電パターンを形成することで、プロセス中に化合物半導体層の表面がアルカリ現像液等が直接晒されることがなくなり、化学的に弱いGaA

sなどの表面においても、基板表面が削られることなく金属配線や電極を形成することができる。

#### 【0012】

本発明のプロセスは、好ましくは面発光型半導体レーザの製造方法に適用することができる。その製造方法は、請求項15に記載のように以下のステップを含む。基板上に、第1導電型の第1の半導体ミラー層、前記第1の半導体ミラー層上の電流狭窄層、前記第1の半導体ミラー層上の活性領域、前記活性領域上の第2導電型の第2の半導体ミラー層、前記第2の半導体ミラー層上の化合物半導体層を含むコンタクト層を形成するステップと、前記コンタクト層上にレジスト層（第1の有機物層）を形成するステップと、前記レジスト層上にプラズマアッシングに耐性のある上部層（第2の層）を形成するステップと、前記上部層に第1の開口を含むパターンを形成するステップと、前記第1の開口を含むパターンをマスクにして前記レジスト層をプラズマアッシングすることにより前記レジストに第2の開口を形成し、該第2の開口から前記コンタクト層を露出させるステップと、前記上部層上および前記第2の開口により露出されたコンタクト層上に導電性膜を被着するステップと、前記レジスト層をリフトオフ処理し、前記コンタクト層上に導電性電極パターンを形成するステップとを有する。これにより、コンタクト層表面へのダメージが極力抑制され、レーザ光の出射特性に悪影響が生じるのを抑制することができる。

#### 【0013】

好ましくは、製造方法はさらに、少なくとも前記コンタクト層から前記電流狭窄層に至るまでメサ構造を形成するステップと、前記電流狭窄層を前記メサ構造の側面から一部の領域を選択酸化させるステップとを含む。このようなメサ構造を有する面発光型半導体レーザに適用することができる。

#### 【0014】

請求項19に記載の面発光型半導体レーザは、基板と、該基板上に形成された第1導電型の半導体層を含む第1のミラーと、前記基板上に形成された第2導電型の半導体層を含む第2のミラーと、前記第1、第2のミラーの間に配された活性領域と、前記第1、第2のミラーの間に配された電流狭窄部と、前記第2のミ

ラー上に形成された化合物半導体層と、前記化合物半導体層上に形成された電極とを含み、この電極は上述した導電パターンの形成方法によって形成される。また、請求項20に記載の面発光型半導体レーザは、電極周縁部の化合物半導体層の表面粗さが5 nm以下である。これは、化合物半導体層の表面がアルカリ現像液等に晒されてエッチングされないためである。従来のようにアルカリ現像液を用いてレジストに開口を形成すると、化合物半導体層の表面がエッチングされ、その部分が5 nm以上の深さに削られてしまう。従って、本発明に係る面発光型半導体レーザは、従来と比較して、表面の粗さ、すなわち表面をより平坦にすることで、面発光型半導体レーザの性能や光学的特性の劣化を抑制することができる。

#### 【0015】

好ましくは化合物半導体層は、第2導電型のGaAs層を含む。さらに好ましくは、金属電極は、化合物半導体層上にプラズマアッシングによりパターン形成されたレジスト層をリフトオフすることにより形成されるものである。

#### 【0016】

##### 【実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。図1に本発明の第1の実施の形態に係る化合物半導体層上への電極の形成方法の工程を示す。

#### 【0017】

同図において、GaAs基板100上に、レジストを塗布する。レジストの膜厚を1.0～2.0  $\mu$ mとし下層レジスト層101を形成する。その後、適当な温度、例えば130度で下層レジスト層101のベーク処理を施す。このベーク処理によってレジストは現像液に不溶となり、現像液に耐性のあるレジスト層が形成される。

#### 【0018】

続いて、下層レジスト層101上に酸素プラズマに耐性のあるレジストを塗布する。例えば、シリコン含有レジスト（富士写真フイルムアーチ社製：FH-S P）を用いることができる。レジストの膜厚を1  $\mu$ m程度とし、上層レジスト層102を形成する。

**【0019】**

上層レジスト層102に、例えば90度でプリベーク処理を行い、所望のマスクパターンを用いて露光処理を行う。次に、アルカリ現像液を用いて現像処理を施し、図1(b)に示すように、上層レジスト層102に開口103を含むパターン（以下、開口パターン）を形成する。

**【0020】**

引き続き、図1(c)に示すように、酸素プラズマエッチング装置を用いて、上層レジスト層102の開口パターンをマスクとして利用し、露出された下層レジスト層101を酸素プラズマによりアッシングし、その部分を除去する。アッシングの処理時間を適宜選択し、上層レジスト層102に形成された開口パターン103と同様の開口パターン104が下層レジスト層101に形成される。このとき、上層レジスト層102は、酸素プラズマに対して耐性を有しているために殆ど除去されない。また、下層レジスト層101に形成された開口パターン104は、酸素プラズマアッシングにより横方向に除去され、上層レジスト層102に対してアンダーカットされた構造に加工される。アンダーカット量S1は、およそ1 $\mu$ mである。

**【0021】**

図1(d)に示すように、上層レジスト層102および開口パターン104によって露出された基板を含む領域上に金属膜が蒸着される。このとき、開口パターン104は上層レジスト層102に対してアンダーカットされた構造となっているため、開口パターン104内に金属膜106が好ましく形成される。

**【0022】**

図1(e)に示すように、下層レジスト層101および上層レジスト層102を溶融等により除去し、リフトオフ処理をすることで、基板100の表面に電極や配線パターン等の導電パターン106が形成される。

**【0023】**

次に本発明の第2の実施の形態について説明する。図2は第2の実施の形態に係る電極の形成方法の工程を示す図である。同図(a)に示すように、GaAs基板200上にレジストを塗布し、その膜厚1.0～2.0 $\mu$ m程度の下層レジス

ト層 201 を形成する。その後、適当な温度で下層レジスト層 201 をベーク処理する。続いて、酸素プラズマに耐性のある無機膜（例えば ITO 膜）を塗布し、その膜厚が  $1\text{ }\mu\text{m}$  程度の無機膜 202 を全面に着膜させる。更に無機膜 202 上にレジストを塗布し、膜厚  $1\text{ }\mu\text{m}$  程度の上層レジスト層 203 を形成し、上層レジスト層 203 をプリベーク処理する。

#### 【0024】

図 2 (b) に示すように、上層レジスト層 203 に対して所望のマスクパターンを用いて露光処理を行い、開口パターン 204 を形成し、その後、ポストベーク処理を施す。

#### 【0025】

次に、図 2 (c) に示すように、上層レジスト層 203 の開口パターン 204 をマスクとして塩酸などのエッチャントを用い、無機膜 202 をエッチングする。そして、上層レジスト層 203 によって露出された部分を除去し、開口パターン 205 を形成する。

#### 【0026】

続いて、酸素プラズマエッチング装置を用いて、無機膜 202 の開口パターン 205 をマスクとし、下層レジスト層 201 を酸素プラズマによりアッシング処理を施す。無機膜 202 は、酸素プラズマ若しくは酸素ラジカルに対して耐性を有するためアッシングによって除去されることは殆どない。適当な時間の酸素プラズマアッシング処理を施すことによって、無機膜 202 に形成された開口パターン 205 と同様の開口パターン 206 が下層レジスト層 201 に形成され、適度のアンダーカット構造に加工される。本例では、下層レジスト層 201 の横方向へのアンダーカット量  $S_2$  は、おおよそ  $1\text{ }\mu\text{m}$  である。

#### 【0027】

次に、図 2 (e) に示すように、基板の全面に金属膜 207 を蒸着させる。金属 207 は、上層レジスト層 203 上に被着されるとともに、下層レジスト層 201 の開口 206 によって露出された基板 200 上に形成される。

#### 【0028】

最後に、図 2 (d) に示すように、下層レジスト層 201 を溶融等することによ

リフトオフ処理をし、レジスト層および無機膜が除去され、基板 200 の表面に金属パターン 208 が形成される。

#### 【0029】

このように、上記図 1 および図 2 に示すプロセスによって金属パターンをリフトオフにより形成すると、基板表面が現像液に晒されてそれによって削られることがなく、基板表面を平坦に維持しつつ所望の金属配線や電極等のパターンを形成することができる。これにより、良好な特性を持つデバイスを作製することができる。

#### 【0030】

次に、上記図 1 に示すプロセスを面発光型半導体レーザの製造工程に適用した例を説明する。図 3 は、面発光型半導体レーザの構成を示す断面図であり、図 4 ないし図 9 はこれを製造するための工程を示す図である。

#### 【0031】

本実施の形態に係る面発光レーザ 20 は、円筒状のメサ構造（あるいはポスト構造、ピラー構造）から成るレーザ素子部 21 を備えた選択酸化型の面発光型半導体レーザである。同図に示す面発光レーザ 20 は、レーザ素子部あるいはメサ構造 21 上に塗布される保護膜や、金属コンタクト層から延在されるボンディングパッド部等の記載は省略されている。

#### 【0032】

同図において、1 は n 型の GaAs 基板、2 は基板上に形成された n 型 GaAs バッファ層、3 は n 型の下部 DBR (Distributed Bragg Reflector) 層、7 は下部 DBR 層 3 上に形成された活性領域である。活性領域 7 は、アンドープの下部スペーサ層 4 とアンドープの量子井戸層 5 とアンドープの上部スペーサ層 6 の積層体よりなる。8 は活性領域 7 上に形成された電流狭窄層であり、電流狭窄層 8 は、その中央部に円形状の開口を規定する AlAs 部 8a とその周囲に AlAs 酸化物領域 8b とを含む。酸化物領域 8b は、そこを通る電流と光を狭窄するものである。9 は電流狭窄層 8 上に形成された p 型の上部 DBR 層、10 は上部 DBR 層上に形成された p 型の GaAs コンタクト層、11 はコンタクト層 10 上に形成され出射窓 11a を規定する環状の p 側コンタクト電極、12 はコンタ



クト電極 11 上に形成された出射保護膜、13 はメサ構造の上面の縁部、側面およびメサ底部を覆う層間絶縁膜、14 は層間絶縁膜 13 上に形成されコンタクトホール 13a を介してコンタクト電極 11 に接続された p 側配線電極、15 は基板裏面に形成された n 側電極である。

### 【0033】

出射窓 11a は円形状を有し、この中心は基板に垂直方向にかつメサ構造 101 の中心を延びる光軸とほぼ一致する。上述の電流狭窄層 8 の AlAs 部 8a の中心もほぼ光軸と一致する。つまり、AlAs 部 8a と出射窓 11a とは互いに整合された位置にある。

### 【0034】

次に、面発光型半導体レーザ 20 の製造方法について説明する。図 4 (a) に示すように、MOCVD 法または MBE 法等により基板 1 上に半導体膜を形成する。n 型 GaAs 基板 1 上に n 型 GaAs バッファ層 2 と下部 DBR 層 3 と、アンドープの Al<sub>0.6</sub>Ga<sub>0.4</sub>As からなる下部スペーサ層 4、アンドープの GaAs 量子井戸層およびアンドープの Al<sub>0.3</sub>Ga<sub>0.7</sub>As 障壁層からなる量子井戸活性層 5、ならびにアンドープの Al<sub>0.6</sub>Ga<sub>0.4</sub>As からなる上部スペーサ層 6 を含む活性領域 7 と、上部 DBR 層 9 と p 型 GaAs コンタクト層 10 とを順次積層する。

### 【0035】

下部 DBR 層 3 は、Al<sub>0.9</sub>Ga<sub>0.1</sub>As と n 型の Al<sub>0.15</sub>Ga<sub>0.85</sub>As とを各々厚さ  $\lambda / (4nr)$  ( $\lambda$ : 発振波長、 $nr$ : 媒質の屈折率) ずつ交互に 35.5 周期積層する。シリコンをドーパントとしたキャリア濃度は、 $2 \times 10^{18} \text{ cm}^{-3}$  である。他方、上部 DBR 層 9 は、p 型の Al<sub>0.9</sub>Ga<sub>0.1</sub>As と p 型の Al<sub>0.15</sub>Ga<sub>0.85</sub>As とを各々厚さ  $\lambda / (4nr)$  ( $\lambda$ : 発振波長、 $nr$ : 媒質の屈折率) ずつ交互に 23 周期積層して形成し、カーボンをドーパントとしたキャリア濃度は、 $2 \times 10^{18} \text{ cm}^{-3}$  である。

### 【0036】

上部 DBR 層 9 内の最下層には p 型の Al<sub>0.9</sub>Ga<sub>0.1</sub>As の代わりにコントロール層としての p 型の AlAs 層 8 を形成している。AlAs 層 8 は、厚さ  $\lambda / ($

4 nr.) で、カーボンをドーパントとしたキャリア濃度は  $2 \times 10^{18} \text{ cm}^{-3}$  である。なお、素子の直列抵抗を下げるため、下部 DBR 層 3 と上部 DBR 層 8 の  $\text{Al}_{0.9}\text{Ga}_{0.1}\text{As}$  層と  $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}$  層との間には、その中間のアルミ組成比を有する遷移領域を形成するようにしても良い。p 型の  $\text{GaAs}$  コンタクト層 10 の膜厚は 20 nm でキャリア濃度は  $1 \times 10^{20} \text{ m}^{-3}$  である。

#### 【0037】

図 4 (b) に示すように、コンタクト層 10 上に、膜厚が 1.0 ~ 2.0  $\mu\text{m}$  の下層レジスト層 101 を形成し、適当な温度、例えば 130 度で下層レジスト層 101 のベーク処理を施し、下層レジスト層 101 を現像液に不溶化とさせる。

#### 【0038】

下層レジスト層 101 上に、1  $\mu\text{m}$  程度の膜厚のシリコン含有レジストからなる上層レジスト層 102 を形成し、上層レジスト層 102 をプリベーク処理する。その後、上層レジスト層 102 を所望のマスクパターンにより露光処理し、アルカリ現像液を用いて現像処理を施すことによって、図 4 (c) に示すように、上層レジスト層 102 にパターンニングを行い、開口パターン 103 を形成する。このとき、下層レジスト層 101 は、アルカリ現像液に対して不溶化であるため溶解されない。そして、ポストベーク処理を施す。

#### 【0039】

図 5 (d) に示すように、酸素プラズマエッチング装置を用いて、上層レジスト層 102 のパターンをマスクとして利用し、露出された下層レジスト層 101 を酸素プラズマによりアッシングし、下層レジスト層 101 にアンダーカット構造の開口パターン 104 が形成される。上層レジスト層 102 は、シリコン含有レジストであり、酸素プラズマに対して耐性を有しているために殆ど除去されない。

#### 【0040】

図 5 (e) に示すように、上部レジスト層 102 および開口パターン 104 によって露出されたコンタクト層 10 を含む領域上に金属膜 105 が順次被着される。このとき、第 2 の開口パターン 104 はアンダーカット構造となっているため、第 2 の開口パターン 104 内に金属パターン 105 が形成される。

**【0041】**

図5(f)に示すように、下層レジスト層101をリフトオフ処理し、コンタクト層10の表面に開口パターン104を反転したパターン形状を有するコンタクト電極11が形成される。p側コンタクト電極11は環状であり、その内径がレーザ光の出射窓11aを規定する。電極材料として、例えばAu、Pt、Ti、Ge、Zn、Ni、In、WおよびITOから選択される少なくとも1種類以上の金属材料を用いることができる。

**【0042】**

図6(g)に示すように、p側コンタクト電極11を含むコンタクト層10上に、PCVD（プラズマ支援化学気相成長法）により出射保護膜12を形成する。出射保護膜12として酸化珪素膜（SION）を250nm着膜する。

**【0043】**

図6(h)に示すように、フォトリソグラフィーによりレジストをパターンニングし、レジストによって覆われていない領域の出射保護膜12を取り除く。そして、レジストを剥離し、パターンニングされた出射保護膜12をコンタクト電極11上に形成する。

**【0044】**

図6(i)に示すように、コンタクト電極11および出射保護膜12を含むコンタクト層10上に、PCVDによりメサ形成用のマスク16として酸化珪素膜を820nm着膜させる。

**【0045】**

図7(j)に示すように、フォトリソグラフィーによりレジストをパターンニングし、レジストによって覆われていないメサ形成用マスク16を取り除き、メサ形成用マスク16を所定形状に加工する。

**【0046】**

図7(k)に示すように、メサ形成用マスク16をエッチングマスクとして、下部DBR層3の一部が露出されるまで、三塩化ホウ素および塩素を用いた反応性イオンエッチング（RIE）により半導体層をエッチングし、メサ構造を形成する。

**【0047】**

図7(1)に示すように、水蒸気を導入したウエット酸化炉を使用して、AlAs層8を360℃で加熱することで、AlAs層8がメサ構造の側面から一部を選択的に酸化され、酸化領域8bが形成される。

**【0048】**

図8(m)に示すように、メサ構造の上面、側面およびメサ底部を覆うように層間絶縁膜13を形成する。層間絶縁膜13は、PCVDにより800nmの厚さに着膜される。

**【0049】**

図8(n)に示すように、フォトリソグラフィーによりレジストをパターニングし、エッチングに選択性のある原料ガス(SF<sub>6</sub>+O<sub>2</sub>)を使用したドライエッチングにより層間絶縁膜を除去し、出射保護膜12の全面を露出させるとともに、メサ形成用マスク16の一部を除去し、p側コンタクト電極11の一部を露出させるコンタクトホール13aを形成する。その後、レジストを剥離する。

**【0050】**

図8(o)に示すように、フォトリソグラフィーによりレジストをパターニングし、次いで配線電極の材料(例えばTi/Auの積層金属)を蒸着後、リフトオフにより所定の位置に配線電極14を形成する。配線電極14は、メサの上面の中央部においてコンタクト電極11によって規制される出射窓11aよりも一回り大きいサイズに削除され、かつ、コンタクトホール13aを介してコンタクト電極11に接続される。

**【0051】**

研磨装置を使用して、n型GaAs基板1の裏面側から厚さ200μmまで基板を研磨する。図9(p)に示すように、n型GaAs基板1の裏面にn側電極の材料を蒸着することでn側電極15を形成する。電極の材料は、例えばAu/Ge/Ni/Auの金属を用いることができる。

**【0052】**

このようにして、GaAsのコンタクト層10上に、p側コンタクト電極11を所望の形状に形成することができ、コンタクト電極11およびその周辺におい

てコンタクト層 10 の表面が現像液によって削り取られることを防止することができる。これにより、レーザ光が出射される出射窓のダメージを極力なくし、レーザ光の出力特性を安定化させ、信頼性の高い面発光型半導体レーザを提供することができる。

#### 【0053】

以上、本発明の好ましい実施の形態について詳述したが、本発明は係る特定の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

#### 【0054】

例えば、上記実施の態様では、GaAs 基板および GaAs 半導体層上に金属パターンを形成する例を示したが、他の材料の化合物半導体基板や化合物半導体層にも適用することができる。電極を形成する材質も上記実施の態様に限定されことなく他の導電性金属材料を用いることが可能である。

#### 【0055】

上記実施の態様ではプラズマアッシングに酸素プラズマ（酸素ラジカル）を例にしたが、これに他の荷電粒子や紫外光を加えても良い。さらに上記実施の形態では、2 層レジスト構造および 2 層レジスト構造に無機膜を介在させる構造を例示したが、要は、それらの層はプラズマアッシングに対して耐性のある層と耐性のない層とを組み合わせるものであれば良い。あるいは、これらの層は、プラズマアッシングの処理において選択性のある層と選択性のない層とを組み合わせるものであっても良い。

#### 【0056】

##### 【発明の効果】

以上説明したように本発明によれば、化合物半導体層上に導電パターンを形成するに際して、プラズマアッシングにより化合物半導体層上に開口パターンを形成するようにしたので、従来のように化合物半導体層が現像液によって削れたり、損傷を受けることがなくなり、化合物半導体層の表面を平坦にかつ高清浄に維持しつつ所望の導電パターンをその表面上に形成することができる。本発明のプロセスを化合物半導体装置としての面発光型半導体レーザの製造方法に適用する

ことで、化合物半導体層上に形成されるコンタクト電極を所望の形状に加工することができ、化合物半導体層の表面に極力ダメージを与えることがなくなり、その結果、レーザ光の動作も安定化され、信頼性を向上させることが可能である。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係る電極等の金属パターンを形成するための工程を示す図である。

【図2】 本発明の第2の実施の形態に係る電極等の金属パターンを形成するための工程を示す図である。

【図3】 面発光型半導体レーザの構成を示す断面図である。

【図4】 図4(a)ないし(c)は、第3の実施の形態に係る面発光型半導体レーザの製造工程を示す図である。

【図5】 図5(d)ないし(f)は、第3の実施の形態に係る面発光型半導体レーザの製造工程を示す図である。

【図6】 図6(g)ないし(i)は、第3の実施の形態に係る面発光型半導体レーザの製造工程を示す図である。

【図7】 図7(j)ないし(l)は、第3の実施の形態に係る面発光型半導体レーザの製造工程を示す図である。

【図8】 図8(m)ないし(o)は、第3の実施の形態に係る面発光型半導体レーザの製造工程を示す図である。

【図9】 図9(p)は、第3の実施の形態に係る面発光型半導体レーザの製造工程を示す図である。

【図10】 図10は、従来の電極等の導電パターンの形成方法を示す図である。

【符号の説明】

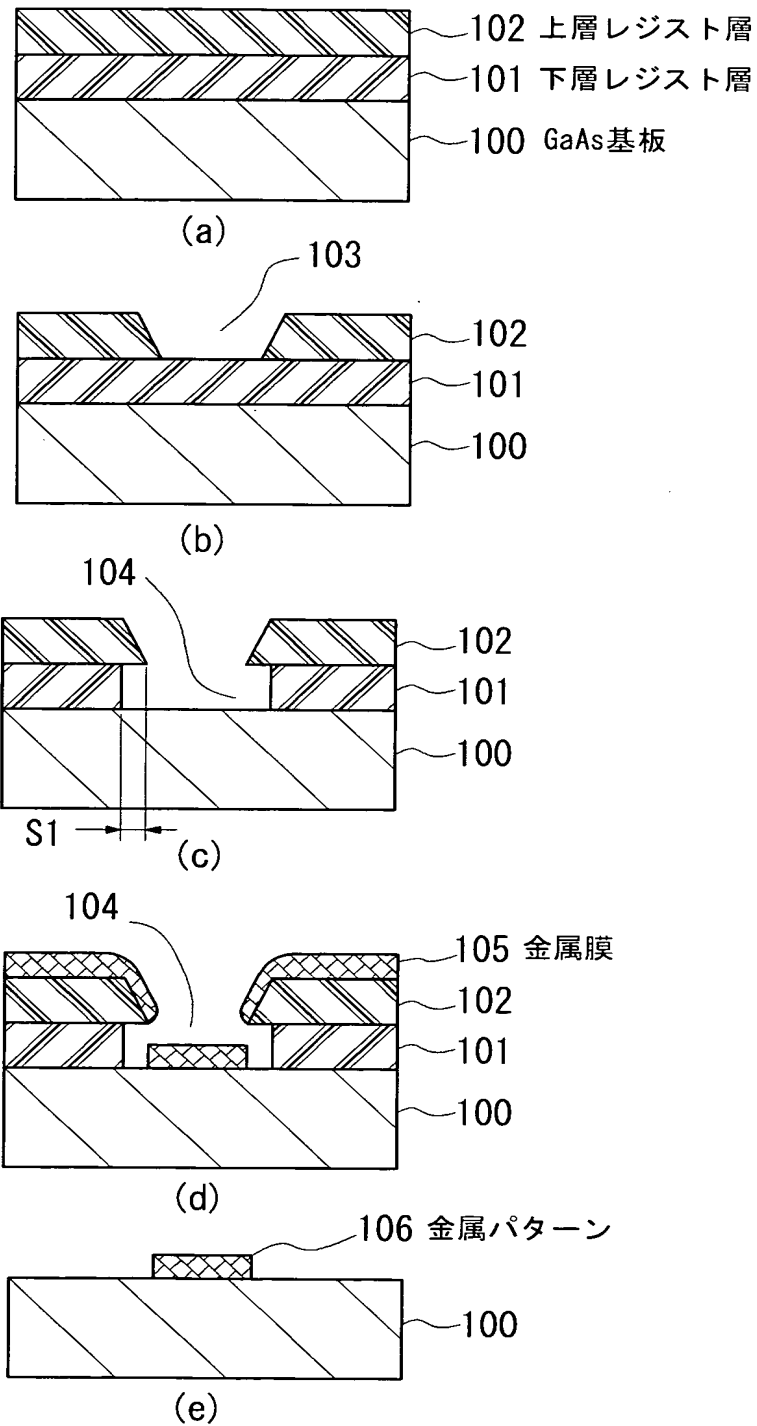
1：n型GaAs基板、2：バッファ層、3下部DBR層、4：下部スペーサ層、5：量子井戸層、6：上部スペーサ層、7：活性領域、8：電流狭窄層、8a：AlAs領域、8b：酸化領域、9：上部DBR層、10：p型コンタクト層、11：コンタクト電極、11a：出射窓、12：出射窓保護膜、13：層間絶縁膜、14：配線電極、15：n側電極、

1 0 0 : G a A s 基板、1 0 1、2 0 1 : 下層レジスト層、  
1 0 2、2 0 3 : 上層レジスト層、2 0 2 : 無機膜、  
1 0 5、2 0 7 : 金属膜、1 0 6、2 0 8 : 金属パターン、  
1 0 4、1 0 5、2 0 4、2 0 5、2 0 6 : 開口パターン

【書類名】

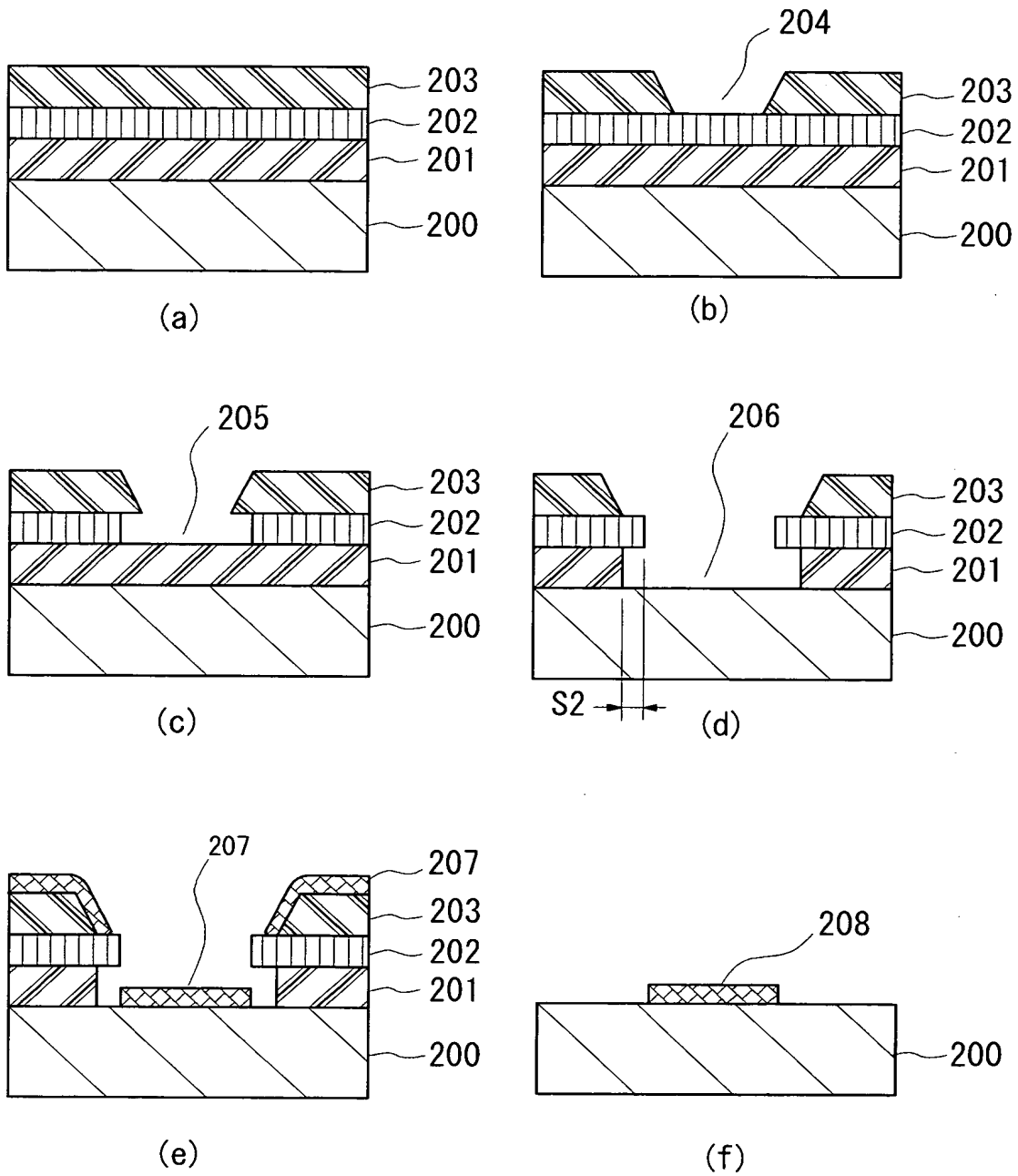
図面

【図 1】

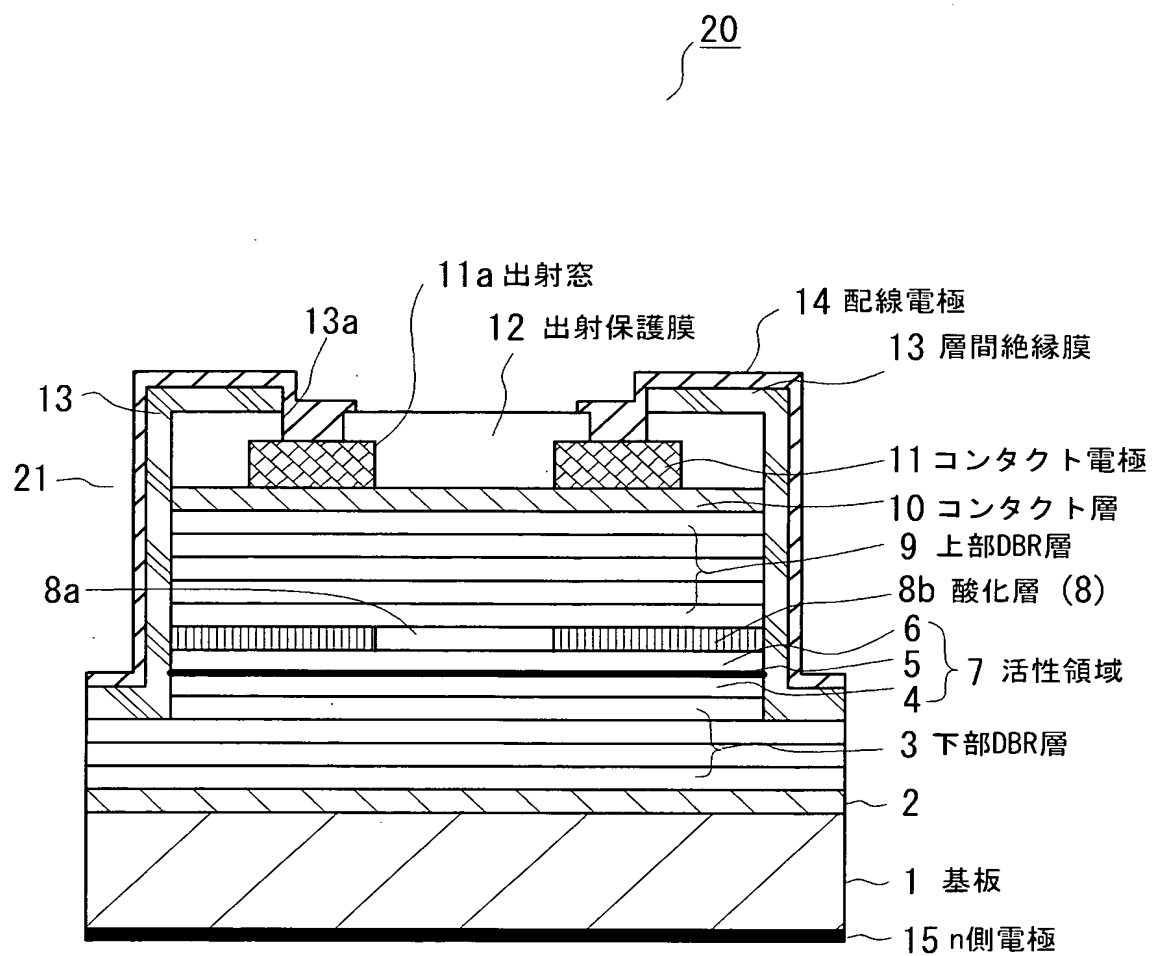




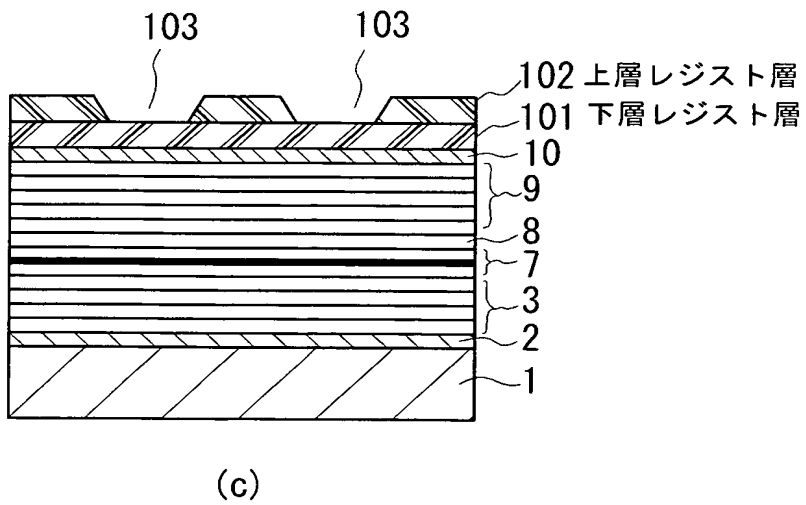
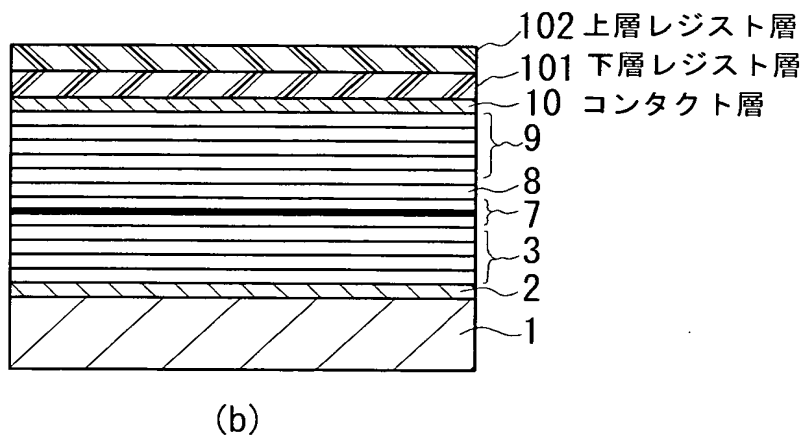
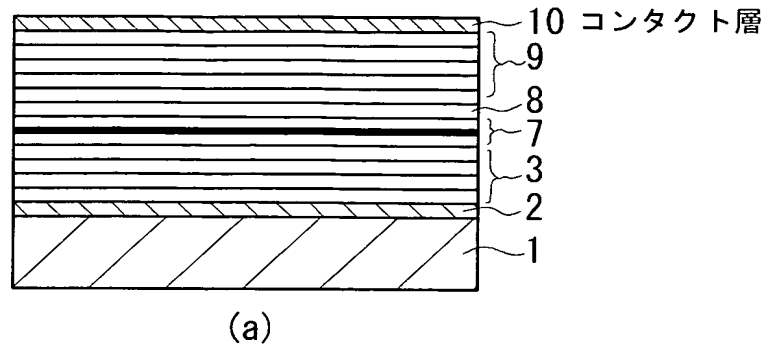
【図 2】



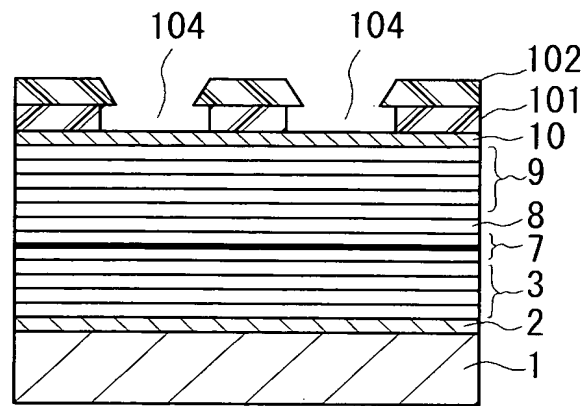
【図 3】



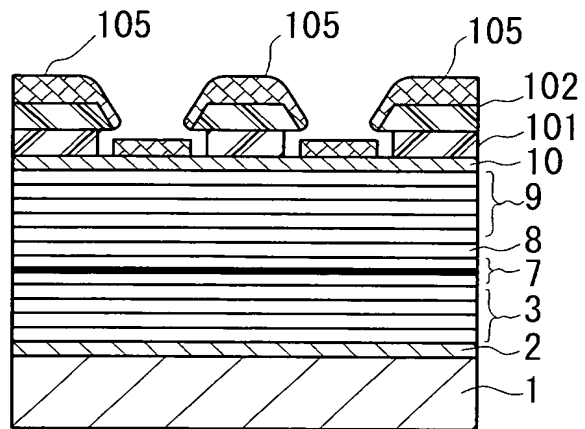
【図 4】



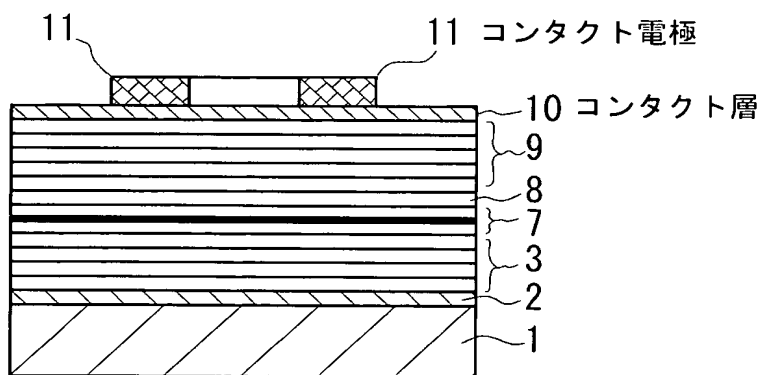
【図 5】



(d)

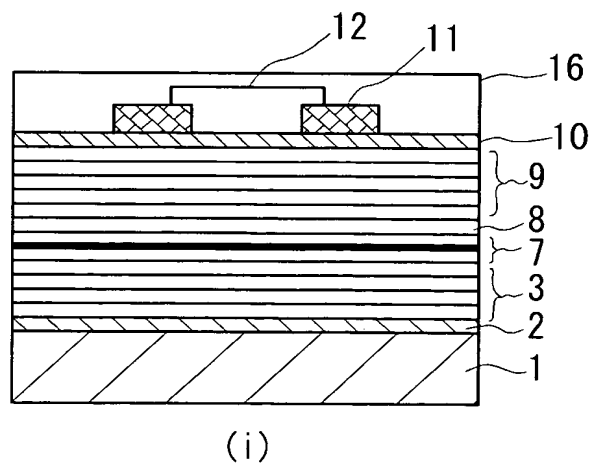
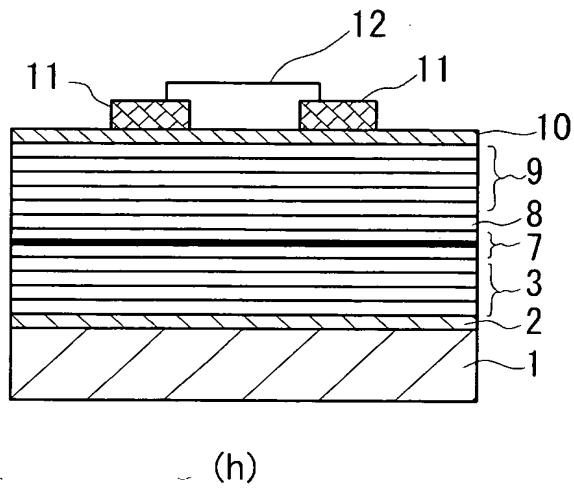
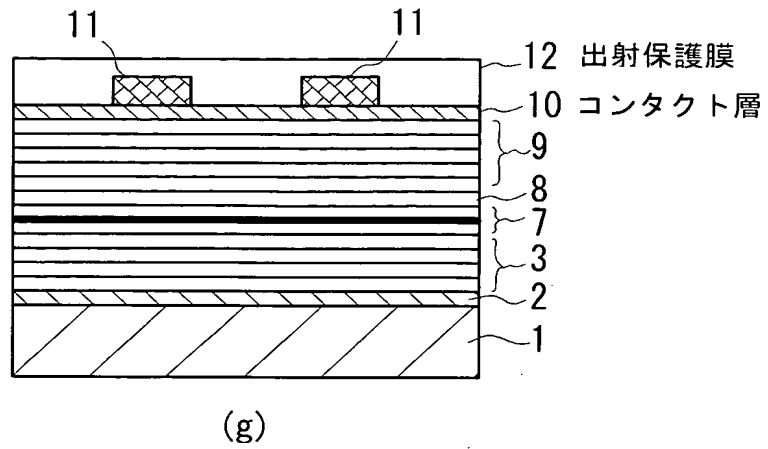


(e)

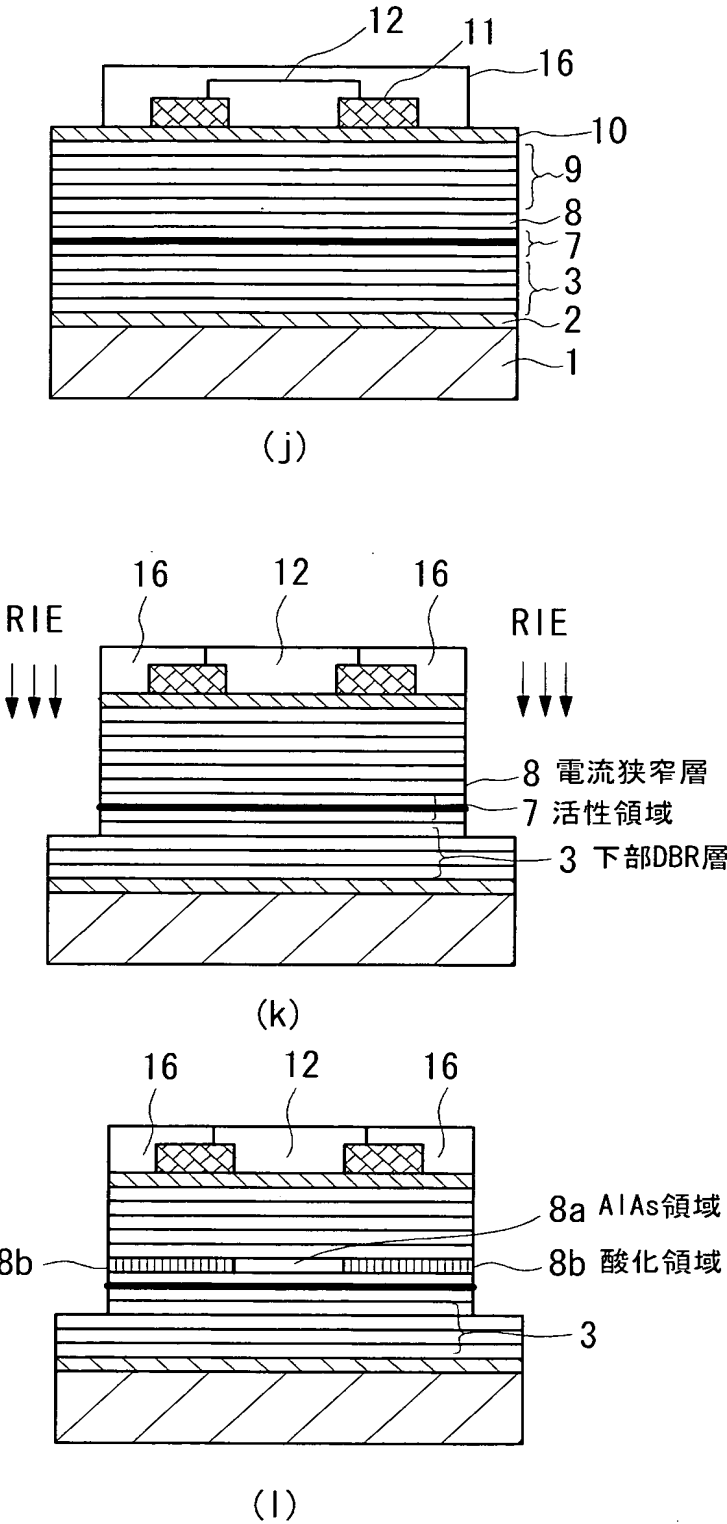


(f)

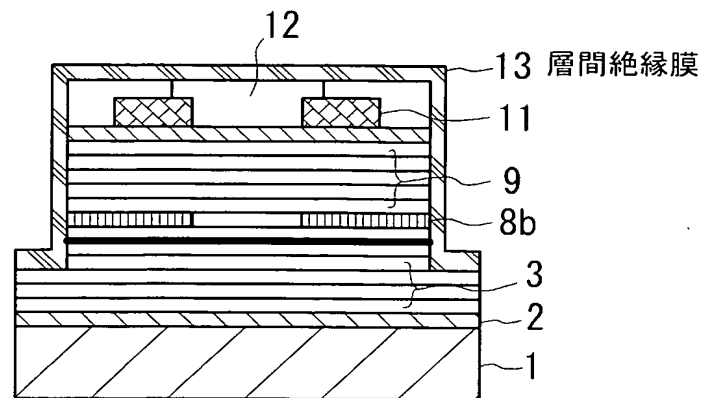
【図 6】



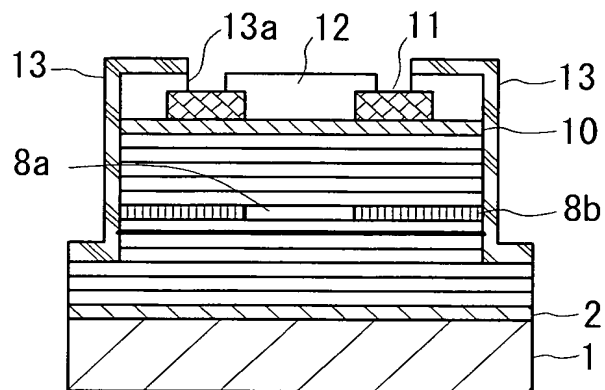
【図 7】



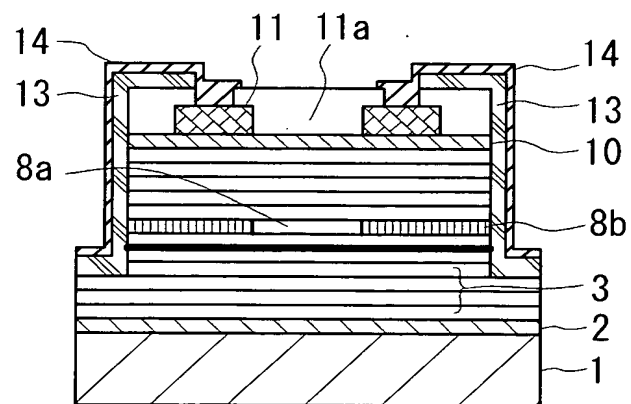
【図 8】



(m)

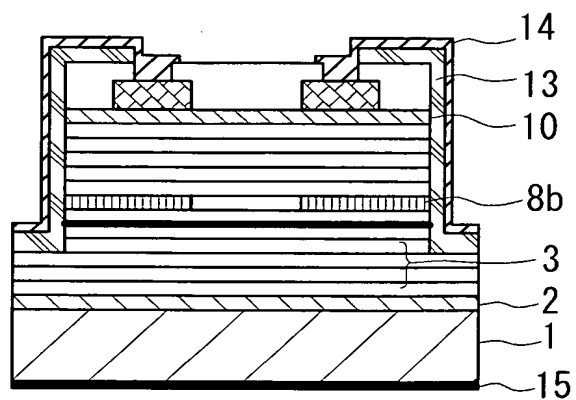


(n)



(o)

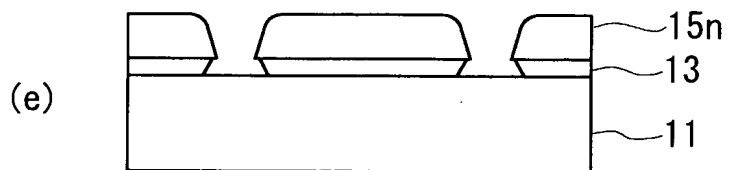
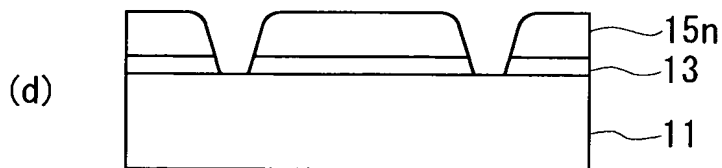
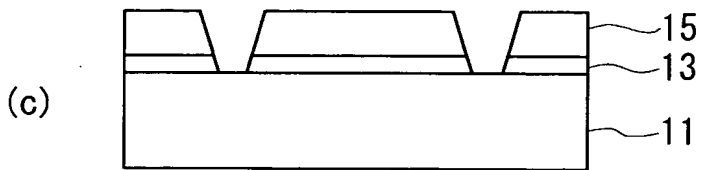
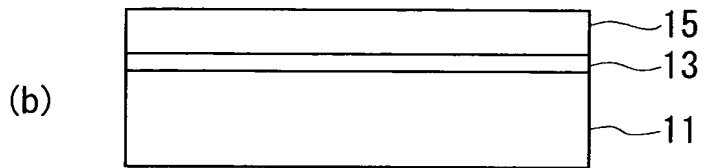
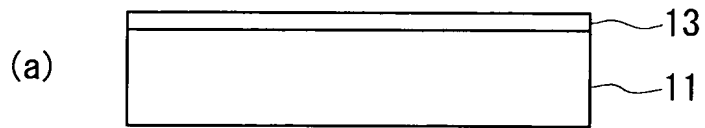
【図 9】



(p)



【図 10】



【書類名】 要約書

【課題】 化合物半導体層の表面にできるだけ損傷を与えることなく、電極や配線等の導電パターン形成する方法を提供する。

【解決手段】 GaAs 基板 100 上に下層レジスト層 101 を形成するステップと、下層レジスト層 101 にプラズマアッシングに耐性のある上層レジスト層 102 を形成するステップと、上層レジスト層 102 に開口パターン 103 を形成するステップと、開口パターン 103 をマスクにして下層レジスト層を酸素プラズマアッシングすることにより下層レジスト層に開口 104 を形成し、開口 104 から GaAs 基板を露出させるステップと、基板全面に金属膜 105 を被着するステップと、リフトオフ処理により金属パターン 106 を形成するステップとを有する。

【選択図】 図 1

## 認定・付加情報

特許出願の番号	特願 2002-363484
受付番号	50201899585
書類名	特許願
担当官	第二担当上席 0091
作成日	平成 14 年 12 月 25 日

## &lt;認定情報・付加情報&gt;

## 【特許出願人】

【識別番号】	000005496
【住所又は居所】	東京都港区赤坂二丁目 17 番 22 号
【氏名又は名称】	富士ゼロックス株式会社

## 【代理人】

申請人

【識別番号】	100098497
【住所又は居所】	千葉県市川市行徳駅前 2-1-2 パークイモト 402 片寄特許事務所
【氏名又は名称】	片寄 恭三

## 【代理人】

【識別番号】	100087480
【住所又は居所】	千葉県千葉市美浜区中瀬 1 丁目 9 番 1 号 ロボッ ト F A センター 1301
【氏名又は名称】	片山 修平

次頁無

特願 2 0 0 2 - 3 6 3 4 8 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 4 9 6 ]

1. 変更年月日

1 9 9 6 年 5 月 2 9 日

[変更理由]

住所変更

住 所

東京都港区赤坂二丁目 1 7 番 2 2 号

氏 名

富士ゼロックス株式会社